

以X光奈米繞射解析 β -W： 從材料科學到可量產磁性記憶體

黃彥霖助理教授

陽明交通大學材料與科學工程學系



陽明交通大學黃彥霖（後排右一）及其研究團隊。

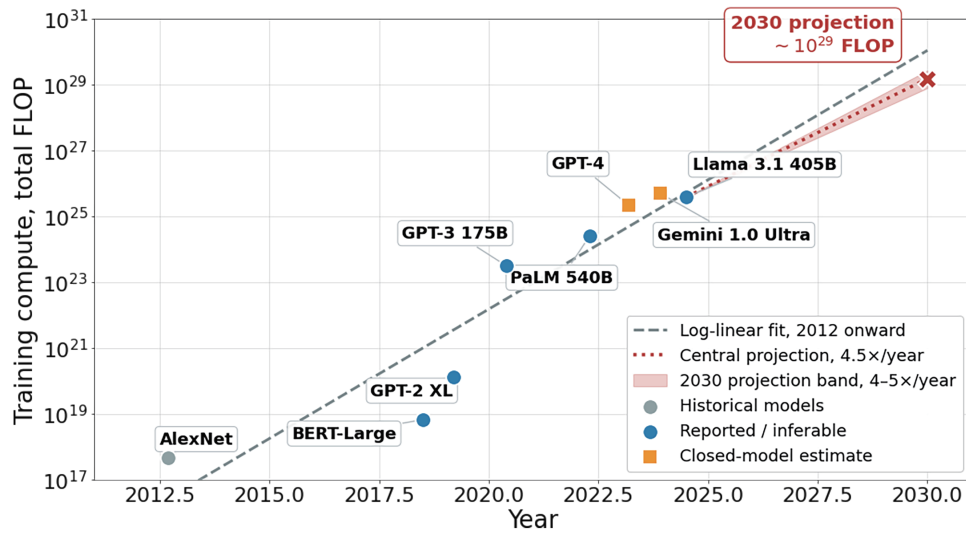
隨著人工智慧 (AI)、邊緣運算 (edge computing) 與高效能運算等資料密集型應用的快速發展，運算需求正呈現前所未有的指數型成長。如圖一所示，代表性 AI 模型的訓練運算量已從 AlexNet 時代的 10^{17} FLOP (floating-point operations) 等級，快速上升至 GPT-4、Gemini 1.0 Ultra 與 Llama 3.1 405B 等最新大型語言模型所需的 10^{25} - 10^{26} FLOP 等級。若依照近期每年約 4 - 5 倍的成長趨勢推估，至 2030 年大語言模型訓練需求可能逼近 $\sim 10^{29}$ FLOP [1,2]。這樣的成長不只是單純的運算量增加，更代表模型權重、活化值與梯度必須在記憶體與處理器之間進行更大規模、更高頻率的資料搬移。因此，AI 硬體的主要瓶頸正逐漸從運算單元本身，轉向記憶體頻寬、資料搬移能耗與系統架構效率等。

為突破上述瓶頸，業界開始將目光轉向新興的非揮發性記憶體。其中，磁性記憶體 (MRAM) 因具備非揮發性 (斷電不遺失資料，可實現零待機功耗)、抗輻射、高速寫入以及與標準 CMOS 後段製程 (BEOL) 高度相容等優勢，成為備受矚目的候選技術。然而，目前已商用的自旋轉移矩磁性記憶體 (STT-MRAM) 屬於雙端點 (2-terminal) 元件，其讀取與寫入共用同一電流路徑，容易引發讀取干擾 (read distur-

bance) 的風險，且寫入速度與元件壽命仍受限於穿隧氧化層的損耗。

在此背景下，基於自旋軌道矩 (spin-orbit torque) 效應的 SOT-MRAM 應運而生。SOT-MRAM 採用創新的三端點 (3-terminal) 結構，成功將寫入路徑與讀取路徑完全分離。這種架構不僅徹底消除了讀取干擾的隱患，更允許使用較大電流進行次奈秒 (sub-nanosecond) 等級的超高速寫入，同時賦予元件近乎無限的讀寫壽命 (endurance)。憑藉這些突破性的物理特性，SOT-MRAM 被學界與產業界寄予厚望，視為未來最有機會取代現有高功耗的快取記憶體 (cache-level SRAM) 或高階嵌入式記憶體 (embedded memory) 的終極解決方案，進一步實現極低功耗常關型運算 (normally-off computing) 的未來願景。

SOT-MRAM 的核心在於利用具有強自旋軌道耦合效應 (Spin-Orbit Coupling, SOC) 的重金屬層，將電荷電流轉換為自旋流，再透過切換磁穿隧結 (magnetic tunnel junction) 中自由層的磁化方向。換句話說，SOT-MRAM 的效能不只取決於磁性穿隧界面本身，也高度仰賴底部 SOC 材料的品質、相穩定性與製程相容性。在眾多候選材料中，鎢 (W)



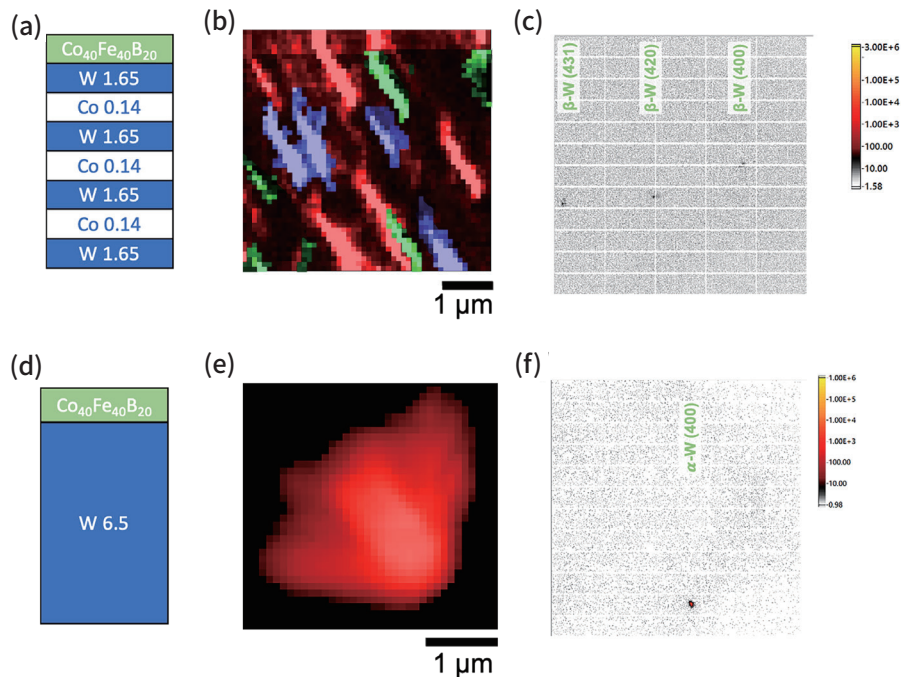
圖一 AI 訓練運算量與資料搬移負擔的快速成長。代表性 AI 模型的訓練需求已由 AlexNet 時代的 10^{17} FLOP 上升至前瞻大型語言模型的 10^{25} - 10^{26} FLOP。若維持每年約 4 - 5 倍的成長趨勢，2030 年可能逼近 $\sim 10^{29}$ FLOP，進一步加劇記憶體頻寬與資料搬移能耗瓶頸。

特別受到重視，因為其 β -phase 具有大的 spin-Hall angle，可有效產生自旋流並降低 SOT switching 所需電流。然而， β -W 相卻是屬於熱力學上不穩定的存在 (metastable phase)；當 W 膜厚增加，或經過後段製程常見的熱處理條件時， β -W 容易轉變為熱力學上較穩定的 α -W。這個相變對 SOT 元件是致命的，因為 α -W 的 spin-Hall angle 遠低於 β -W，會直接增加 SOT 元件成功寫入的電流密度，甚至會因為所需電流太高而導致元件失效。同時，BEOL 製程通常要求材料能承受約 400°C 的熱預算，因此如何在製程條件下穩定 β -W，成為 SOT-MRAM 從材料展示走向陣列整合的關鍵問題。(注：文獻普遍指出 β -W 的 spin-Hall angle 約可達 -0.4 至 -0.6 ，而 α -W 約只有 -0.01)

本研究提出的解法，是在 W 層中引入極薄的 Co insertion layers，形成 composite-W 結構 [3]。如圖二所示，研究團隊將 W 分成多段堆疊，並在 W 層之間插入約 0.14 nm 的 Co 層，形成 W/Co/W/Co/W/Co/W 的複合結構。這樣的設計有兩個重要目的：第一， 0.14 nm 的 Co 可作為擴散阻礙層，抑制熱處理過程中由擴散驅動的 β -to- α 相變化；第二，透過維持足夠厚度的 W 層，仍可保有後續定義磁穿隧結大小所需的蝕刻製程窗口。此舉帶來的不僅僅是追求維持 β -W 的 spin-Hall angle，而且同時須考慮整體熱

穩定性與後段製程乃至於黃光蝕刻的整合式材料設計與製造性。

在這此研究中，國輻中心 (NSRRC) TPS 21A X-ray nanodiffraction 扮演了關鍵角色。對於這類奈米厚度的多層膜結構，傳統電子穿隧顯微鏡可以提供局部截面或是平面的晶格與繞射資訊，低角度 X-ray 繞射 (GIXRD) 則能提供較大面



圖二 複合 W 薄膜與單層 W 薄膜的結構與結晶相量測。(a) 複合 W 薄膜結構示意圖，其中包含三層厚度為 0.14 nm 的 Co 插入層 (圖中數字表示各層厚度，單位為奈米)，W 的厚度為 6.6 nm 。(b) β -W 相的 X 光奈米繞射空間分佈圖。其中，來自 (400)、(420) 與 (431) 晶面的貢獻分別以紅色、藍色與綠色表示。(c) β -W 特徵峰繞射點。(d) 單層 W 薄膜結構示意圖，W 的厚度為 6.5 nm 。(e) α -W 相的 X 光奈米繞射空間分佈圖。(f) α -W 特徵峰繞射點 [3]，數據擷取自 TPS 21A。

積的平均相結構。然而，在 SOT-MRAM 中 SOC 的材料問題不僅是確認平均的材料相，更重要的是其微結構的分佈。這正是 TPS 21A 的貢獻所在。透過同步輻射 X-ray nanodiffraction，研究團隊能以約 $90 \times 90 \text{ nm}^2$ 的聚焦 X-ray 光束，在場發射掃描式電子顯微鏡輔助定位下，對相同觀察區域進行空間解析繞射二維掃描 (mapping)；並根據不同 W 相的繞射條件，選用 $1.6316 \text{ \AA}$ 與 $1.5215 \text{ \AA}$ 的波長，分別量測 composite-W 與 single-layer-W 薄膜的空間繞射圖譜，如圖二所示。

這項量測的核心意義在於：TPS 21A 並非只是輔助確認晶相，而是將原本平均化的結構判讀，轉化具有空間解析度 phase-stability map。研究結果顯示，在 composite-W 樣品中， β -W 並非隨機或均勻地存在，而是形成具條紋狀特徵的 β -W 結晶疇。這些條紋狀的結構進一步沿著退火時外加磁場方向排列，破壞了膜面內的空間對稱性。另一方面，在沒有放入 Co 的 single-layer W 對照樣品中，nanodiffraction map 顯示的是較均勻分布的 α -W 繞射訊號，說明單層 W 在相同熱處理條件下已經轉變為熱力學穩定的 α -phase。這個對比非常關鍵：它不只證明 Co 插入層可以穩定 β -W，也顯示此穩定化效應具有可被同步輻射奈米繞射直接觀察的空間結構特徵。

從 NSRRC 用戶的角度來看，這項研究清楚展現 TPS 21A 在先進半導體材料研究中不可取代的角色。傳統材料分析手段多半著重於平均晶格常數的量測，或侷限於電子顯微鏡所提供的局部結構資訊；相較之下，TPS 21A 提供的空間解析 X 光奈米繞射，能進一步揭露薄膜中晶相分布、取向分布與局部結晶特徵。這些資訊對於理解材料結構如何從奈

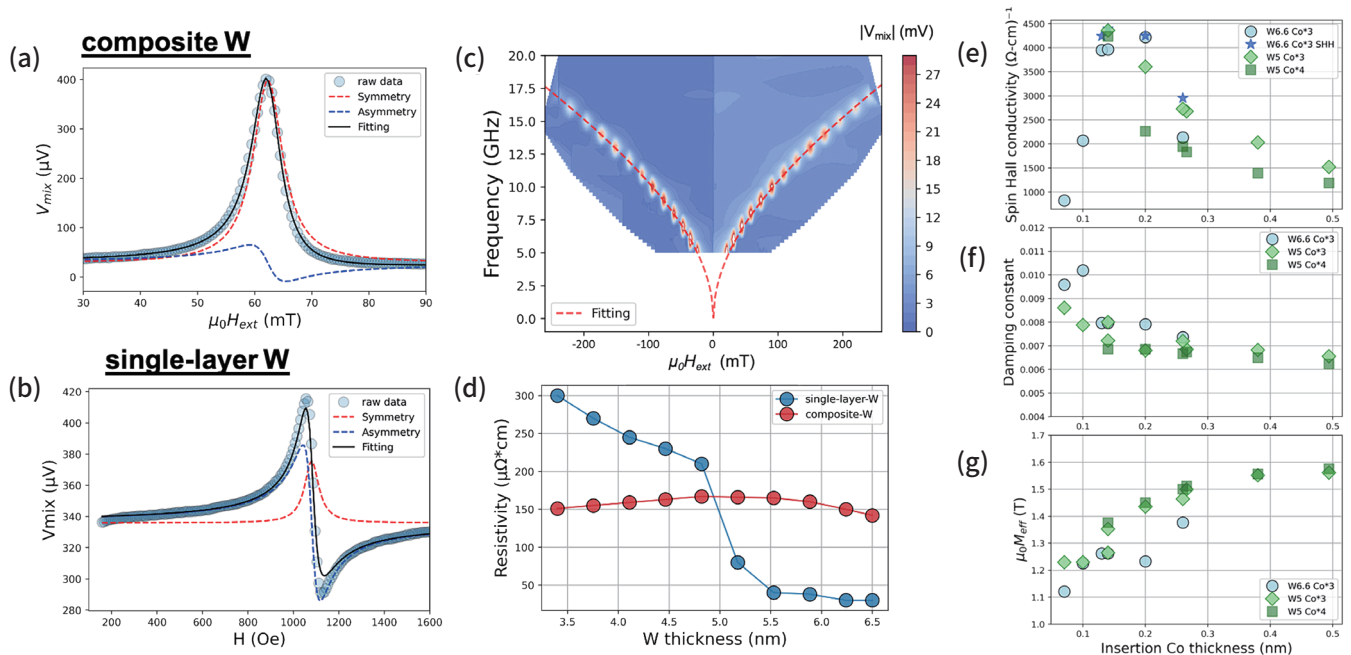
米尺度延伸至微米尺度，並最終影響元件性能，具有關鍵價值。

在熱穩定性方面，研究團隊進一步比較 composite-W 與 single-layer W 在 BEOL thermal budget 下的相穩定度。結果顯示，composite-W 可在 400°C 長時間退火後仍保持 β -W diffraction pattern，甚至可承受更嚴苛的 700°C 短時間熱處理；相對地，single-layer W 在 400°C 短時間退火後即發生 β -to- α 相變化。

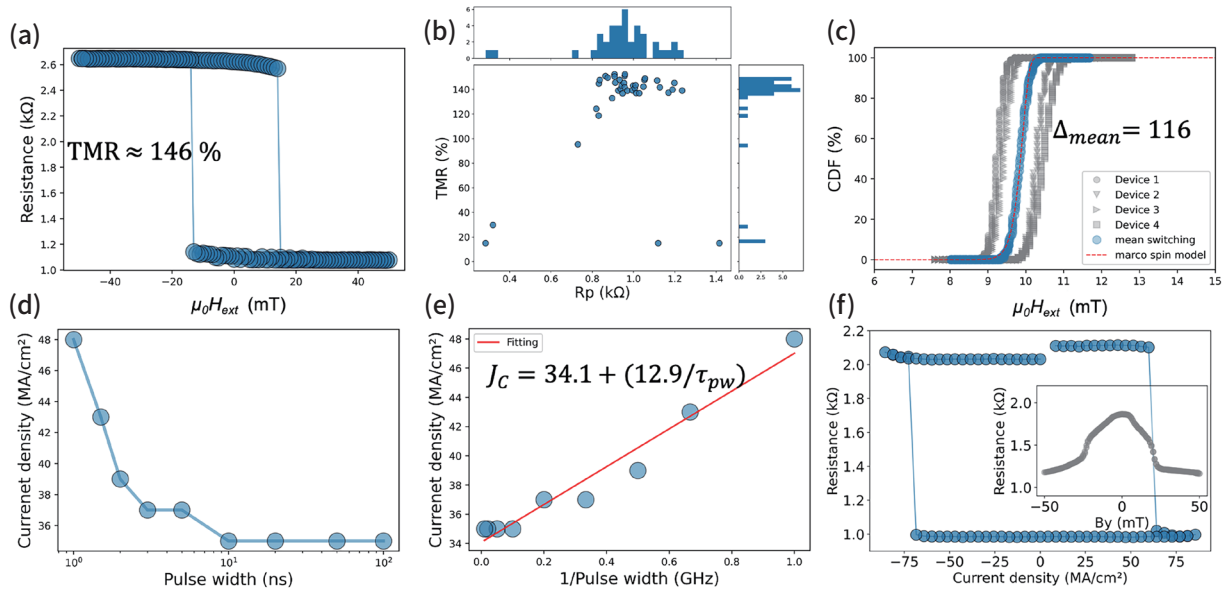
在確認相穩定性後，研究團隊進一步透過 ST-FMR 與 harmonic Hall measurements 量化 composite-W 的 SOT 效率，如圖三所示。最佳 Co insertion 厚度約為 0.14 nm ，composite-W 的自旋霍爾導電度 (spin Hall conductivity) 可達約 $4,500 \Omega^{-1} \text{ cm}^{-1}$ ，並維持約 0.007 的低 damping constant。這代表 Co insertion 的穩相策略並未犧牲 W 作為 spin-current source 的基本功能，且在熱穩定性與 SOT 效率之間取得有效平衡。

最終，這套 composite-W 薄膜製程被導入 64-kb SOT-MRAM 陣列整合，結果如圖四所示。元件展示 1 ns SOT switching、146% 穿隧磁阻變化，以及大於 10 年的資料保存能力。

圖五進一步將本研究與具代表性的既有 SOT-MRAM 展示成果進行基準比較，包括 TSRI 2023 IEDM [4]、Tohoku 2019 IEDM [5] 與 imec 2019 VLSI [6]。雷達圖中的各項性能指標皆以比較對象中的最佳報導值進行正規化，半徑越大代表相對性能越佳。結果顯示，本研究並非只在單一指



圖三 ST-FMR 頻譜以對稱與反對稱 Lorentzian 分量進行分析，用以獲取 spin-orbit torque 響應。(a) 複合 W 薄膜呈現更穩定的外加磁場依賴訊號，顯示 Co 插入層可穩定 β -W 結構，同時維持有效的 spin-orbit torque 產生能力。(b) 單層 W 薄膜則明顯呈現較差的 spin Hall 效率。(c) 複合 W 薄膜 ST-FMR 頻譜。(d) 電阻對 W 薄膜厚度圖。(e-g) Co 插入層厚度對於 spin Hall 效率影響。[3]



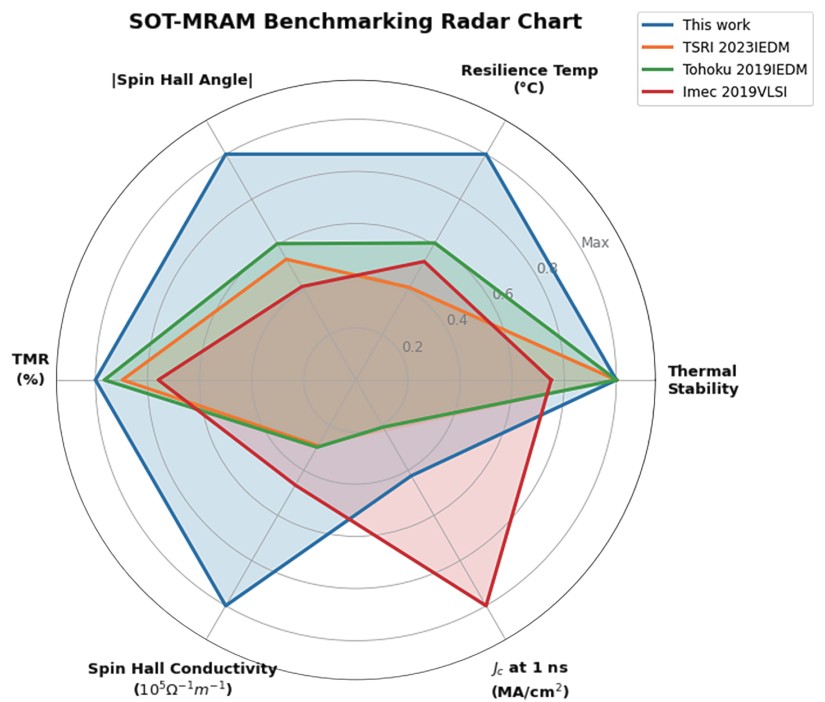
圖四 SOT-MRAM 元件切換特性。(a) 6.6 nm 複合 W 層上完整 MTJ 的磁場誘發磁阻切換，TMR 約 146%。(b) Type-Y 記憶單元的 TMR 與平行態電阻。(c) 切換 CDF 隨外加磁場變化，用於萃取資料保留 (data retention)；藍點為四個元件平均值，紅虛線為 macrospin model 擬合。(d, e) SOT 切換電流密度與臨界電流密度 J_C 對脈衝寬度的依賴關係，量測範圍為 100 ns 至 1 ns；每點代表 64-kb SOT-MRAM 晶片 8,000 個 MTJ 的平均值。(f) Type-X MTJ 的電流誘發磁阻切換，展示 6.6 nm 複合 W 層可實現無外加磁場切換。[3]

標上取得突破，而是在多個關鍵面向呈現更均衡的性能表現，包括高速 SOT 切換、高 TMR、良好的資料保持能力、BEOL 熱穩定性，以及 64-kb 陣列層級整合。這樣的綜合表現說明，Co-inserted composite-W 的價值不僅在於穩定 β -W 相，更在於能將材料層級的相穩定性轉化為可量測、可整合且具製程相容性的 SOT-MRAM 元件性能。

這篇工作的核心貢獻為展示 SOT-MRAM 的性能，並且結合同步輻射材料解析特色幫助研究者了解更基礎的材料科學，TPS 21A X-ray nanodiffraction 直接幫助此研究具象化 Co-inserted W 的 β -phase 空間分布，提供超越一般 XRD 與微觀電子顯微鏡局限。這項證據支持 composite-W 可作為無外加磁場 Type-X SOT 翻轉，並進一步支撐 64-kb SOT-MRAM 的陣列級展示，是一個工程能力結合基礎科學的經典合作。

參考文獻：

1. K. Pilz *et al.*, RAND Corporation, 28 (2025).
2. K. F. Pilz *et al.*, arXiv preprint arXiv:2504.16026 (2025).
3. Y. L. Huang *et al.*, Nature Electronics **8**, 794 (2025).
4. K. S. Li *et al.*, 2023 International Electron Devices Meeting (IEDM), 1 (2023).
5. H. Honjo *et al.*, 2019 IEEE International Electron Devices Meeting (IEDM), 28.25. 21 (2019).
6. S. Couet *et al.*, 2021 Symposium on VLSI Technology, 1 (2021).



圖五 SOT-MRAM 性能指標之基準比較。此雷達圖比較本研究與具代表性的既有 SOT-MRAM 展示成果，包括 TSRI 2023 IEDM [4]，Tohoku 2019 IEDM [5] 與 imec 2019 VLSI [6]。各項指標皆以比較對象中的最佳報導值進行正規化；雷達圖中半徑越大，代表相對性能越佳。本研究在多項關鍵指標上呈現更均衡的性能表現，突顯其在元件微縮性、切換性能、資料保持 / 可靠性，以及陣列層級整合方面的綜合優勢。[3]